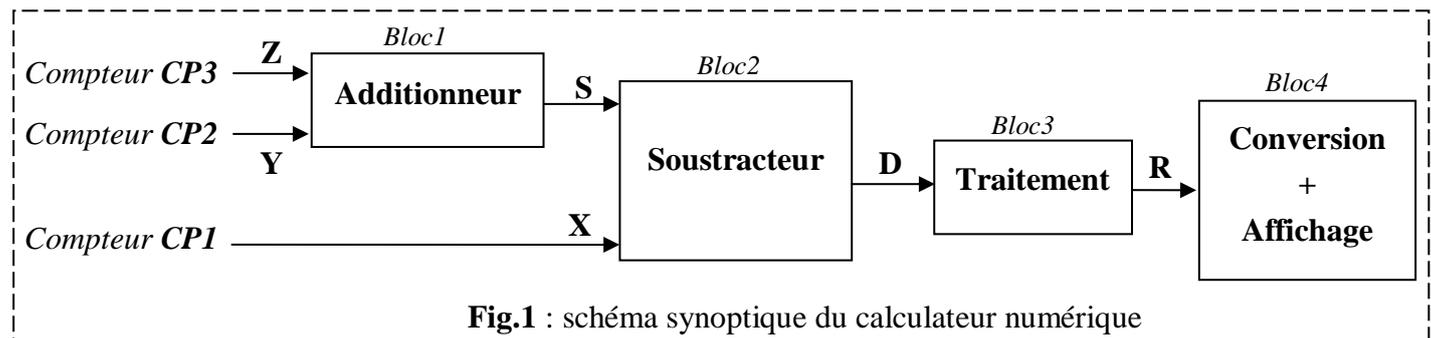


**SYSTÈME : CALCULATEUR NUMÉRIQUE**

**A. Présentation du système :**

Dans ce sujet, on désire calculer et afficher, en décimal, le résultat de l'opération arithmétique «  $D = X - (Y + Z)$  » où X, Y et Z sont 3 nombres binaires positifs fournis respectivement par les compteurs asynchrones CP1, CP2 et CP3. Pour se faire, on utilise le calculateur numérique de la figure 1. Ce calculateur permet de réaliser 4 tâches :

- ❖ **Tâche 1** : calculer en binaire, avec le **bloc1**, la somme «  $S = Y + Z$  »
- ❖ **Tâche 2** : calculer en binaire, avec le **bloc2**, la différence «  $D = X - S = X - (Y + Z)$  »
- ❖ **Tâche 3** : traiter, avec le **bloc3**, la différence « D » avant de l'afficher
- ❖ **Tâche 4** : convertir la différence « D » en un nombre BCD, puis l'afficher avec le **bloc4**



**Fig.1** : schéma synoptique du calculateur numérique

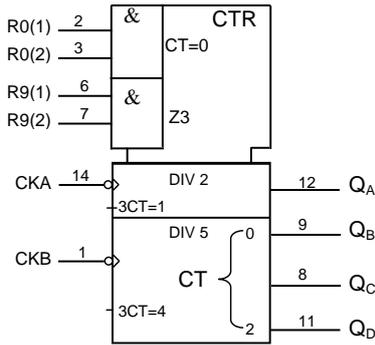
**Fiche technique de l'UAL 74181**

Sélection				Entrées et sorties activées au niveau haut		
				Opération logique M = 1	Opération arithmétique M = 0	
S3	S2	S1	S0		Cn = 1	Cn = 0
0	0	0	0	$\bar{A}$	A	A plus 1
0	0	0	1	$\overline{A+B}$	(A+B)	(A+B) plus 1
0	0	1	0	$\overline{A \cdot B}$	$A + \bar{B}$	$(A + \bar{B})$ plus 1
0	0	1	1	0 Logique	moins 1	0 (zéro)
0	1	0	0	$\overline{A \cdot B}$	A plus $A \cdot \bar{B}$	A plus $A \cdot \bar{B}$ plus 1
0	1	0	1	$\bar{B}$	$A \cdot \bar{B}$ plus (A+B)	$A \cdot \bar{B}$ plus (A+B) plus 1
0	1	1	0	$A \oplus B$	A moins B moins 1	A moins B
0	1	1	1	$A \cdot \bar{B}$	$A \cdot \bar{B}$ moins 1	$A \cdot \bar{B}$
1	0	0	0	$\overline{A+B}$	$A \cdot B$ plus A	$A \cdot B$ plus A plus 1
1	0	0	1	$\overline{A \oplus B}$	A plus B	A plus B plus 1
1	0	1	0	B	$A \cdot B$ plus $(A + \bar{B})$	$A \cdot B$ plus $(A + \bar{B})$ plus 1
1	0	1	1	$A \cdot B$	$A \cdot B$ moins 1	$A \cdot B$
1	1	0	0	1 Logique	A plus $A^*$	A plus $A^*$ plus 1
1	1	0	1	$\overline{A+B}$	A plus (A+B)	A plus (A+B) plus 1
1	1	1	0	A+B	A plus $(A + \bar{B})$	A plus $(A + \bar{B})$ plus 1
1	1	1	1	A	A moins 1	A

# Documents constructeur des circuits de comptage asynchrones

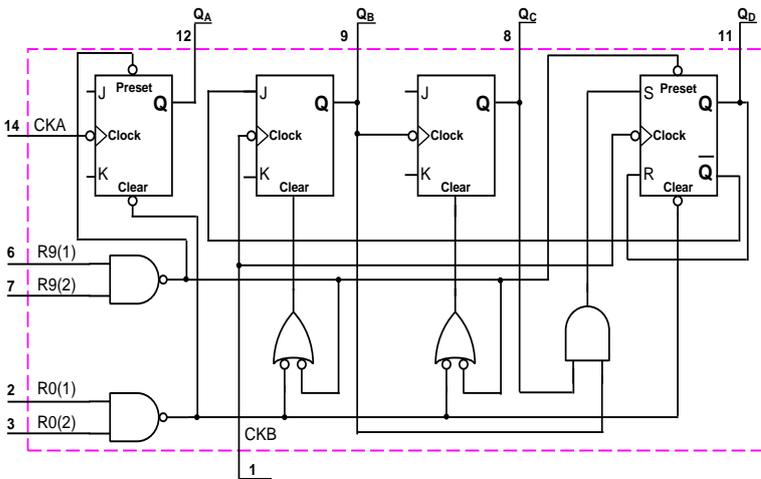
## 1-Circuit intégré : 74LS90 :

### Compteur BCD asynchrone 4 bits



Boîtier DIL 16  
V<sub>CC</sub> 5 – GND 10

Le Schéma interne du compteur 7490 est comme suit



**N.B** Les entrées J et K sont à l'état logique 1 une fois que le circuit est alimenté

### Tables de fonctionnement du compteur 7490

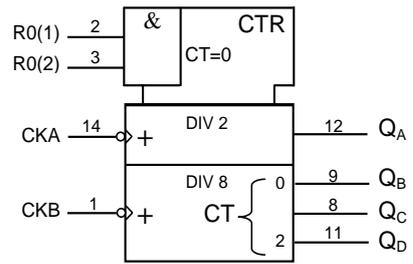
Pour **Comptage BCD**, relier la sortie **Q<sub>A</sub>** à l'entrée **CKB**

Pour **Comptage binaire (5-2)**, Relier la sortie **Q<sub>D</sub>** à l'entrée **CKA**

Nbres d'impulsions	Sorties				Nbres d'impulsions	Sorties			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>		Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	1
2	0	0	1	0	2	0	0	1	0
3	0	0	1	1	3	0	0	1	1
4	0	1	0	0	4	0	1	0	0
5	0	1	0	1	5	1	0	0	0
6	0	1	1	0	6	1	0	0	1
7	0	1	1	1	7	1	0	1	0
8	1	0	0	0	8	1	0	1	1
9	1	0	0	1	9	1	1	0	0

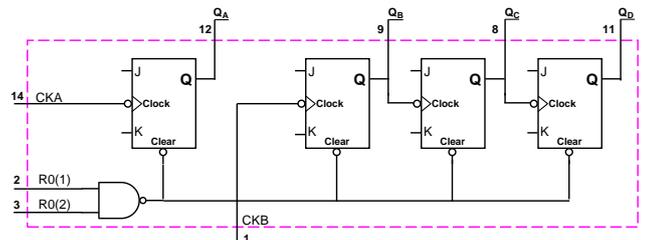
## 2-Circuit intégré : 74LS93 :

### Compteur binaire asynchrone 4 bits



Boîtier DIL 14  
V<sub>CC</sub> 5 – GND 10

Le Schéma interne du compteur 7493 est comme suit



**N.B** Les entrées J et K sont à l'état logique 1 une fois que le circuit est alimenté

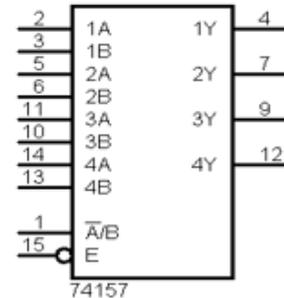
### Tableau de fonctionnement :

ENTREES		SORTIES			
R0(1)	R0(2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	1	0	0	0	0
0	X	compte			
X	0	compte			

X : état indifférent (0 ou 1)

## Multiplexeur 74157 :

74157 : 4 multiplexeurs 2 vers 1 (quadruple mux 2 vers 1)



✓ **E** : Entrée de validation. Elle doit être mise à la masse (0L) pour activer le circuit.

✓ **A/B** : Entrée de sélection.

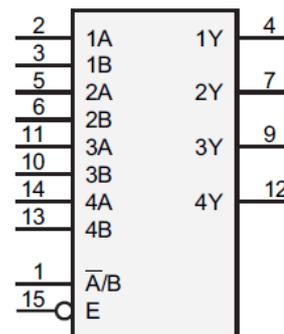
A / B	Sorties
0	1Y=1A, 2Y=2A, 3Y= 3A, 4Y=4A
1	1Y=1B, 2Y=2B, 3Y= 3B, 4Y=4B

## II-Document constructeur des circuits intégrés utilisés dans carte de commande :

**1-Circuit intégré : 74LS157 :** Le fonctionnement de circuit intégré 74LS157 est décrit par la table de vérité suivante.

$\bar{E}$	$\bar{A/B}$	1Y	2Y	3Y	4Y
1	X	0	0	0	0
0	0	1A	2A	3A	4A
0	1	1B	2B	3B	4B

### Symbole



## 2-Circuit intégré : 74LS83 :

$A_4 A_3 A_2 A_1$  : Les bits de l'opérande A

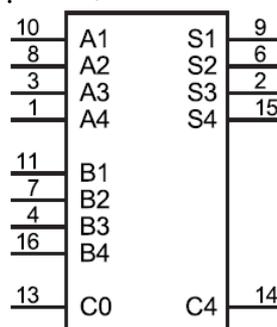
$B_4 B_3 B_2 B_1$  : Les bits de l'opérande B

$S_4 S_3 S_2 S_1$  : Les bits de la somme

$C_0$  : La retenue à l'entrée

$C_4$  : La retenue à la sortie

### Symbole



## 3-Circuit intégré : 74LS85 :

### Symbole

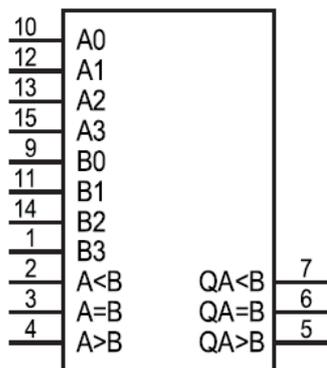


Table de fonctionnement du comparateur 74LS85

Entrées des nombres				Entrées de mise en cascade			Sorties		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3 > B3	x	x	x	x	x	x	1	0	0
A3 < B3	x	x	x	x	x	x	0	1	0
A3 = B3	A2 > B2	x	x	x	x	x	1	0	0
A3 = B3	A2 < B2	x	x	x	x	x	0	1	0
A3 = B3	A2 = B2	A1 > B1	x	x	x	x	1	0	0
A3 = B3	A2 = B2	A1 < B1	x	x	x	x	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 > B0	x	x	x	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 < B0	x	x	x	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	0	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	0	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	x	x	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	1	0	0	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	0	1	1	0