

Exercice n°1 : (Rappel)

Compléter le tableau correspond pour additionner ou soustraire 2 nombres binaires A(a) et B(b).

	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><th>a</th><th>b</th><th>R</th><th>S</th></tr> <tr><td>0</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>1</td><td>...</td><td>...</td></tr> </table>	a	b	R	S	0	0	1	0	0	1	1	1		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><th>Re</th><th>a</th><th>b</th><th>Rs</th><th>S</th></tr> <tr><td>0</td><td>0</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>...</td><td>...</td></tr> </table>	Re	a	b	Rs	S	0	0	0	1	0	0	0	1	0	1	1	0	0	0	1	1	0	1	0	1	1	1	1	1		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><th>Re</th><th>a</th><th>b</th><th>Rs</th><th>D</th></tr> <tr><td>0</td><td>0</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>...</td><td>...</td></tr> </table>	Re	a	b	Rs	D	0	0	0	1	0	0	0	1	0	1	1	0	0	0	1	1	0	1	0	1	1	1	1	1
a	b	R	S																																																																																																																
0	0																																																																																																																
1	0																																																																																																																
0	1																																																																																																																
1	1																																																																																																																
Re	a	b	Rs	S																																																																																																															
0	0	0																																																																																																															
1	0	0																																																																																																															
0	1	0																																																																																																															
1	1	0																																																																																																															
0	0	1																																																																																																															
1	0	1																																																																																																															
0	1	1																																																																																																															
1	1	1																																																																																																															
Re	a	b	Rs	D																																																																																																															
0	0	0																																																																																																															
1	0	0																																																																																																															
0	1	0																																																																																																															
1	1	0																																																																																																															
0	0	1																																																																																																															
1	0	1																																																																																																															
0	1	1																																																																																																															
1	1	1																																																																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><th>a</th><th>b</th><th>R</th><th>D</th></tr> <tr><td>0</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>0</td><td>...</td><td>...</td></tr> <tr><td>0</td><td>1</td><td>...</td><td>...</td></tr> <tr><td>1</td><td>1</td><td>...</td><td>...</td></tr> </table>	a	b	R	D	0	0	1	0	0	1	1	1																																																																																														
a	b	R	D																																																																																																																
0	0																																																																																																																
1	0																																																																																																																
0	1																																																																																																																
1	1																																																																																																																

Exemples :

$\begin{array}{r} 1011 \\ + 1110 \\ \hline = \end{array}$	$\begin{array}{r} 1010101 \\ + 10110 \\ \hline = \end{array}$	$\begin{array}{r} 1011 \\ - 1110 \\ \hline = \end{array}$	$\begin{array}{r} 1011100 \\ - 110010 \\ \hline = \end{array}$
---	---	---	--

Exercice n°2 :

On donne les deux nombres binaires suivants : A=(10110)₂ et B=(1010)₂

1. En utilisant la notation « complément à 1 et complément à 2 ».

a. Donner le Cp1 puis le Cp2 de A (sur F6).

.....

.....

b. Donner le Cp1 puis le Cp2 de B (sur F8).

.....

.....

c. Déduire alors (-A) et (-B).

.....

.....

d. Calculer le Cp2 [Cp1(A)] sur un format de 7 bits (F7).

.....

.....

2. Effectuer en binaire et en F8 les opérations suivantes : A + B ; A - Cp2(B)

.....

.....

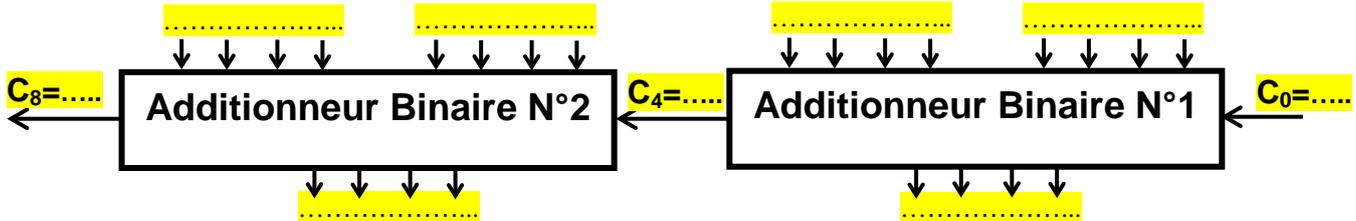
.....

3. Effectuer de même et **en binaire** et **en F8** les opérations suivantes :
 $A - B$; $A + Cp2(B)$ (conclure sur les résultats)

Exercice n°3 :

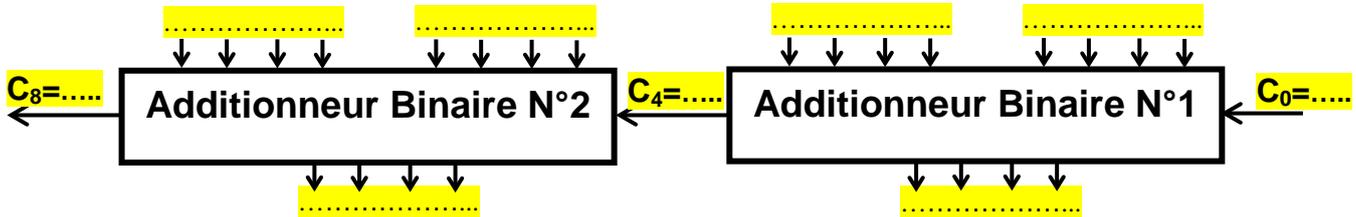
Soient les deux nombres binaires : $X = (1001110)_2$ et $Y = (10110)_2$.

1. On utilise le circuit intégré ci-dessous pour additionner en binaire les 2 nombres X et Y. Compléter la figure suivante en écrivant les états logiques des entrées / sorties.



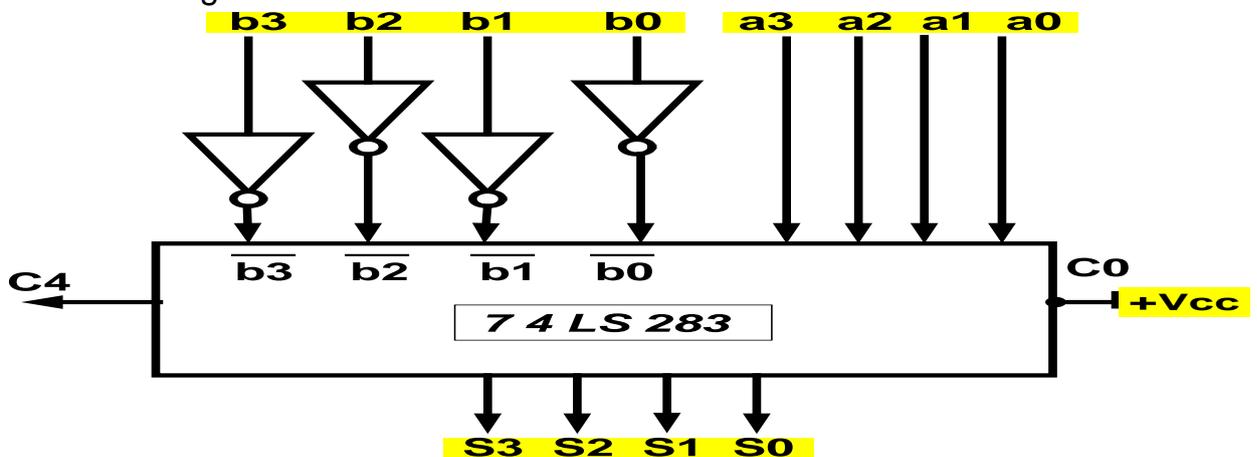
2. Maintenant, on utilise le circuit additionneur binaire mais pour soustraire les 2 nombres X et Y
(En utilisant la notation de l'addition en complément à 2).
 a. Expliquer brièvement comment on peut changer la soustraction en addition entre deux nombres binaires X et Y ?

- b. Compléter la figure suivante en écrivant les états logiques des entrées / sorties.



Exercice n°4 :

On veut simuler des résultats binaires en utilisant le circuit additionneur ci-après à base de circuit intégré 74 LS 283.

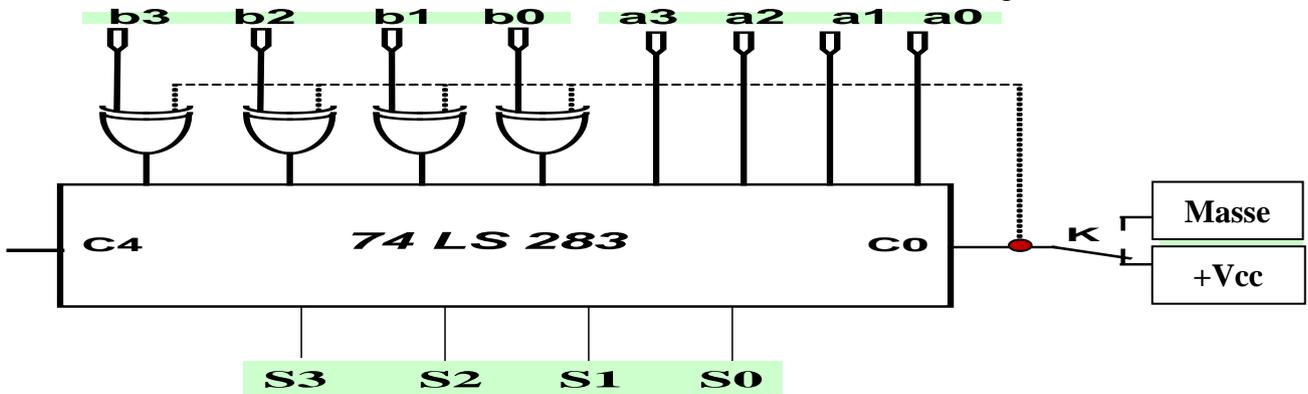


1. Expliquer brièvement que ce circuit permet de changer l'addition en soustraction entre deux nombres binaires A et B à 4 bits chacun.

- Déduire le rôle de ce montage :
- Saisir le montage et compléter le tableau suivant :

C0	A (a3a2a1a0)	B (b3b2b1b0)	C4	S (S3S2S1S0)	Opération réalisée
0	(12) ₁₀ =(1100) ₂	(5) ₁₀ =(0101) ₂			
1	(9) ₁₀ =(1001) ₂	(6) ₁₀ =(0110) ₂			

4. Maintenant, le même circuit 74LS 283 est utilisé dans le montage suivant :

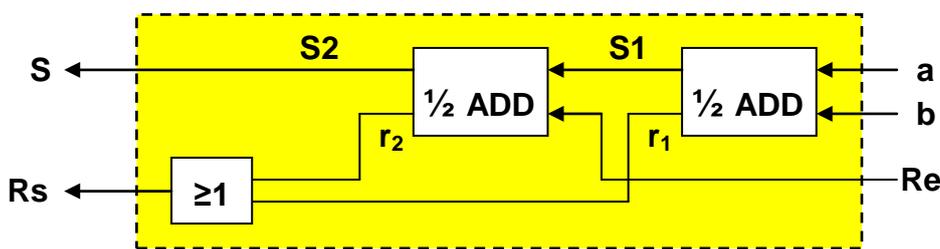


- Si l'inverseur K est relié à la masse (0 logique), justifier le type de montage.
- Si l'inverseur K est relié à +V_{cc} (1 logique), justifier le type de montage.
- Déduire le rôle de ce montage :
- Saisir le montage et compléter le tableau suivant :

K	C0	A (a3a2a1a0)	B (b3b2b1b0)	C4	S (S3S2S1S0)
0		(13) ₁₀ =(1101) ₂	(5) ₁₀ =(0101) ₂		
1		(13) ₁₀ =(1101) ₂	(5) ₁₀ =(0101) ₂		

Exercice n°5 :

On veut réaliser un circuit électronique capable d'exécuter l'addition en binaire des deux nombres A et B en mettant le circuit suivant.



a	b	S1	r1
0	0
0	1
1	0
1	1

- Compléter la table de vérité ci-dessous :
- Tirer les équations de S1 et r1 :
- Déterminer les équations de S2 et r2 en fonction de S1 et Re.
- Déduire alors les équations de S2 et r2 en fonction de a, b et Re.

5. Exprimer **S** et **Rs** en fonction de **a**, **b** et **Re**.

S =

Rs =

Exercice n°6 :

A- En premier temps on souhaite d'étudier un comparateur élémentaire de deux mots de 1 bit.

- Dresser la table de fonctionnement d'un comparateur de deux mots à un bit **A(a)** et **B(b)** et déterminer les équations, puis Compléter le logigramme correspondant. dont les sorties **E** (égal) et **S** (Supérieur) vérifient :

$E = 1$ si $a = b$, si non $E = 0$.

$S = 1$ si $a > b$, si non $S = 0$.

Table de fonctionnement				Equations des sorties		Logigramme	
a	b	E	S	$E =$	$S =$		
0	0						
0	1						
1	0						
1	1						

B- En deuxième temps, on souhaite de comparer deux nombres A et B ayant chacun deux bits tel que: $A=(a_1a_0)_2$ et $B=(b_1b_0)_2$. trois cas peuvent se présenter : **SUP (S)**, **EGAL(E)** ou **INF(I)**.

- Mettre dans le tableau de Karnaugh les sorties suivants : **S(A>B)**, **E(A=B)** et **I(A<B)**.

Sorties		$a_1 a_0$			
		00	01	11	10
$b_1 b_0$	00				
	01				S
	11		I		
	10				

- Déduire les tableaux de Karnaugh correspond aux sorties **E(A=B)** et **I(A<B)**

Sortie E (A = B)		$a_1 a_0$			
		00	01	11	10
$b_1 b_0$	00				
	01				
	11				
	10				

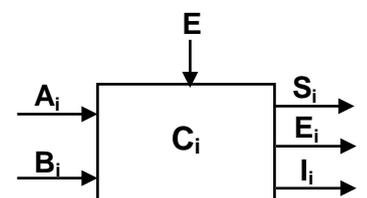
Sortie I (A < B)		$a_1 a_0$			
		00	01	11	10
$b_1 b_0$	00				
	01				
	11				
	10				

Exercice n°7 :

Le comparateur de deux nombres binaires à 4 bits **A** ($A_3A_2A_1A_0$) et **B** ($B_3B_2B_1B_0$) peut être réalisé par l'association de 4 comparateurs élémentaires à 2 bits chacun avec une entrée **E** d'autorisation (ou validation) de la comparaison.

- Si **E = 0** \Rightarrow Comparateur bloqué (**S_i = E_i = I_i = 0**).
- Si **E = 1** \Rightarrow Comparaison autorisée.

On donne le schéma du comparateur élémentaire par la figure ci-contre :



1- Compléter la table de vérité du comparateur élémentaire :

E	A _i	B _i	S _i (A _i > B _i)	E _i (A _i = B _i)	I _i (A _i < B _i)
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

2- Déterminer les équations de E_i , S_i et de I_i en fonction de E, A_i et B_i :

- E_i =
- S_i =
- I_i =

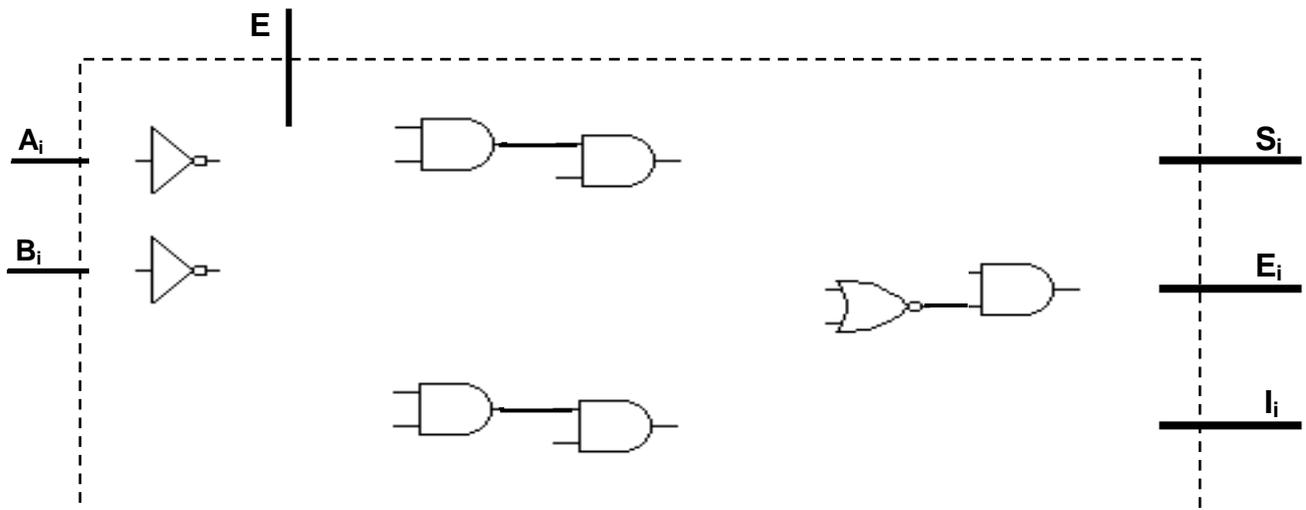
3- Montrer que E_i = E.(S_i ↓ I_i) :

.....

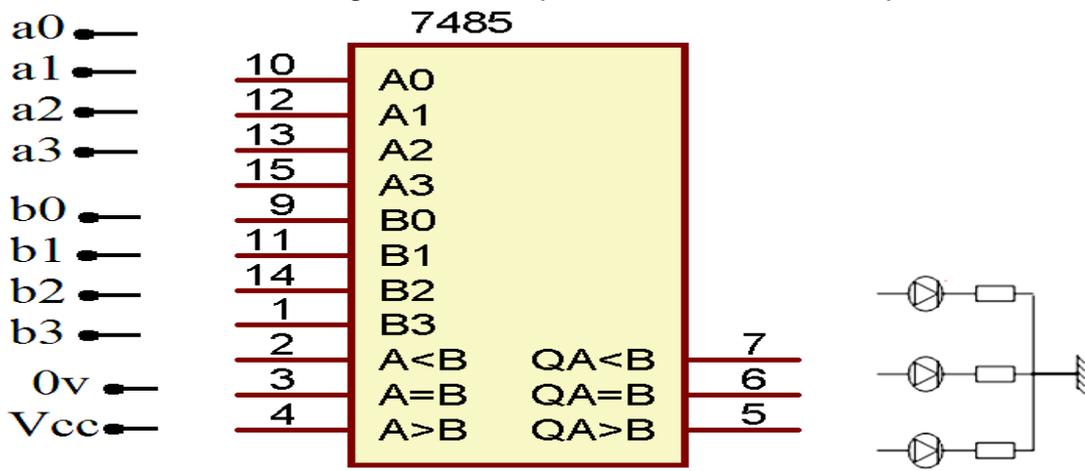
.....

.....

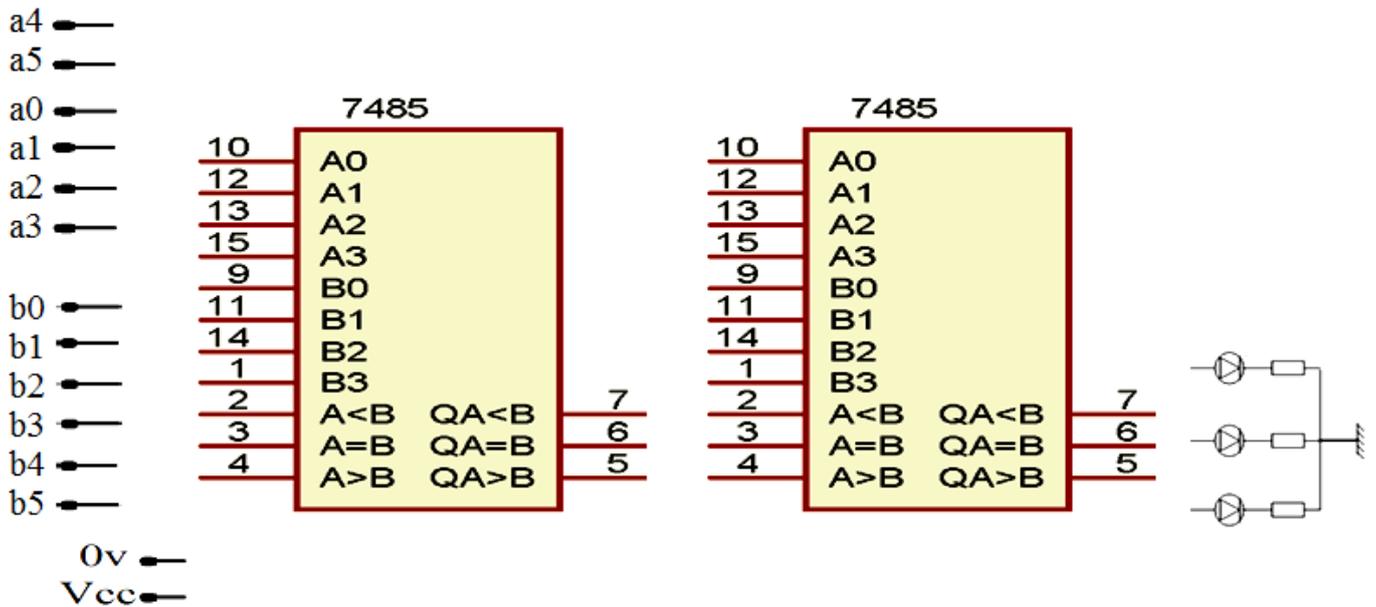
4- Compléter le logigramme du ce comparateur élémentaire :



5- Compléter le schéma de câblage de ce comparateur à l'aide du comparateur en CI 74HC85.



6- Déduire le schéma de câblage d'un comparateur à 6 bits en utilisant le même circuit intégré.



Exercice n°8 :

1- Calculer en BCD, leur somme dans les cas suivants et interpréter les résultats :

- A=3 et B=6 ** A=35 et B=48 ** A=31 et B=86 ** A=57 et B=94.

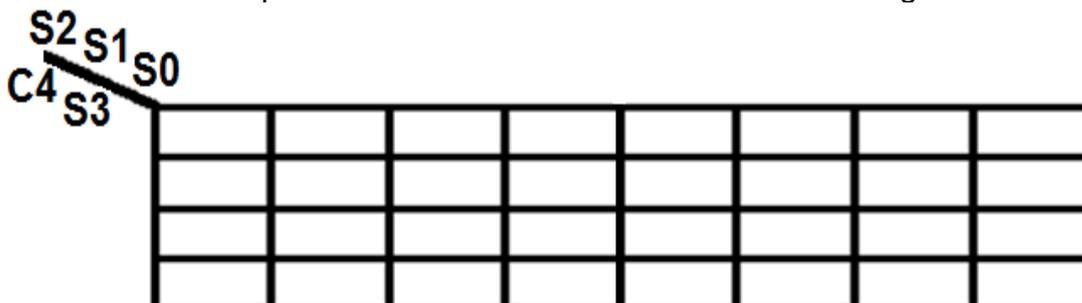
..... = = = =
---------------------------	---------------------------	---------------------------	---------------------------

Ajouter 6 si il y a un erreur ou bien la somme est supérieure à 9 et vérifier les résultats

Soit le montage représenté par le schéma ci-après, on applique à l'entrée du circuit les nombres BCD [A]=[A₃A₂A₁A₀] et [B]=[B₃B₂B₁B₀].

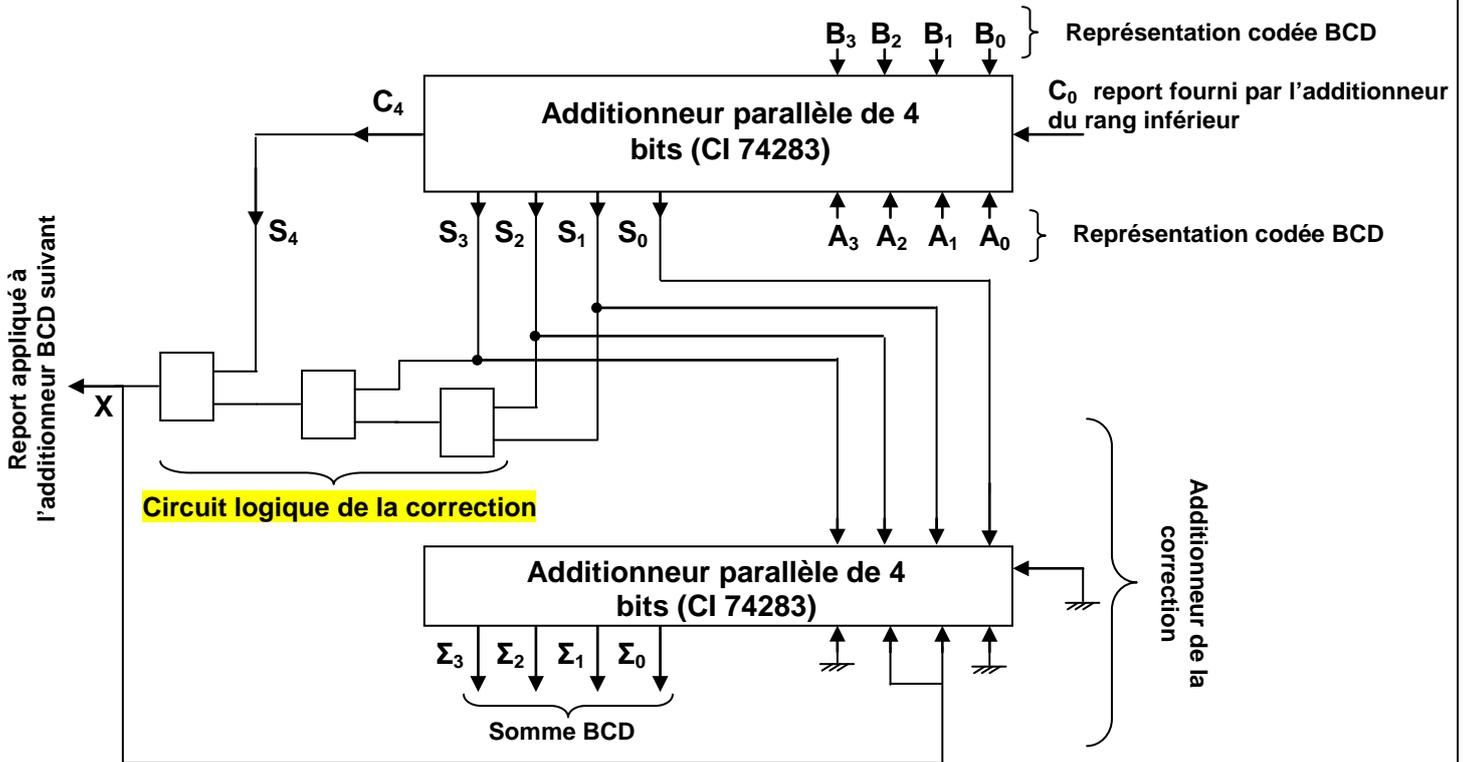
2- Dans cette première solution ; Le circuit de détection d'erreur est représenté par un circuit logique que l'on déterminera à la suite en donnant le schéma d'un additionneur incomplet. Soit X une sortie logique qui occupera le niveau haut (1 logique) seulement quant la somme est supérieur à 9.

a. Donner l'équation de X en utilisant le tableau de Karnaugh.

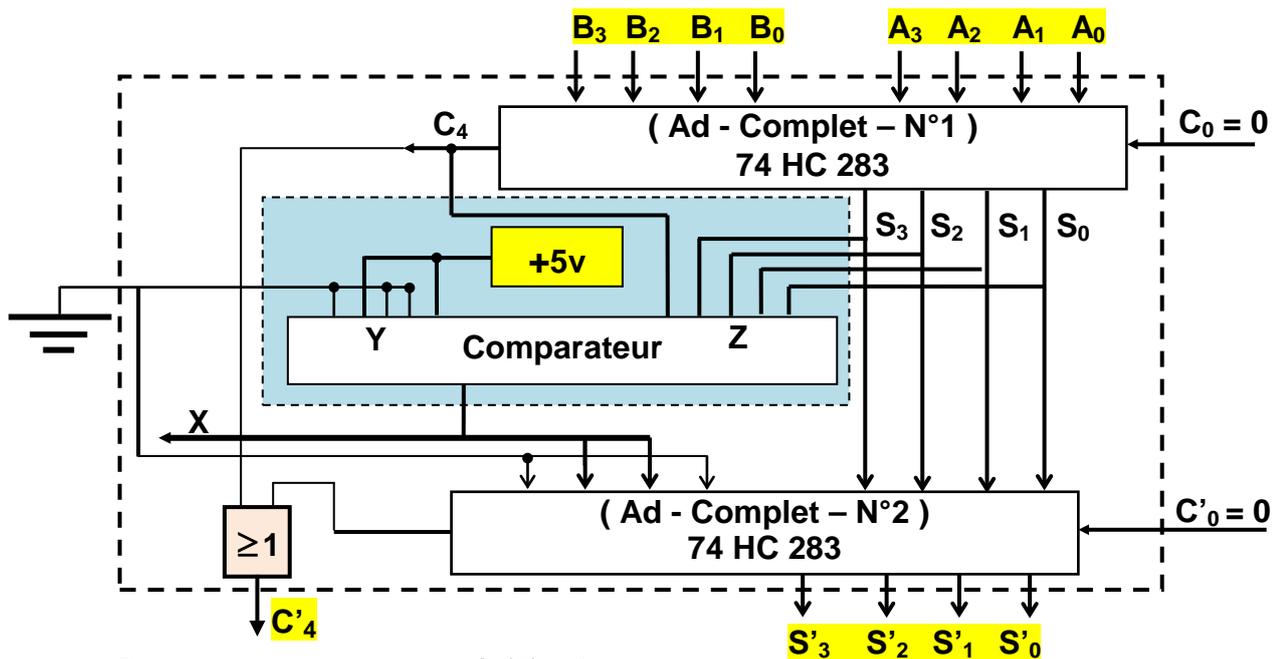


X =

b. Compléter alors le schéma de câblage suivant :



3- Dans cette deuxième solution ; Le circuit de détection d'erreur est représenté par un comparateur de deux nombres Y et Z de cinq bits.



a. Pourquoi Y est maintenu à $(9)_{10}$?

b. Déterminer $[S]_{\max}$ et $[S']_{\max}$:

c. On vient d'introduire aux entrées les deux nombres $[A]=(8)_{10}$ et $[B]=(6)_{10}$.

• Déterminer dans ce cas les entrées et les sorties correspondants du circuit précédent :

- ❖ $[A] = [\dots\dots\dots]$; $[B] = [\dots\dots\dots]$; $[S] = [\dots\dots\dots]$ et $C_4 = \dots\dots$
- ❖ $[Y] = [\dots\dots\dots]$; $[Z] = [\dots\dots\dots]$ et $X = \dots\dots$
- ❖ $[S'] = [\dots\dots\dots]$ et $C'_4 = \dots\dots$

Exercice n°9 :

A- Etude du multiplexeur :

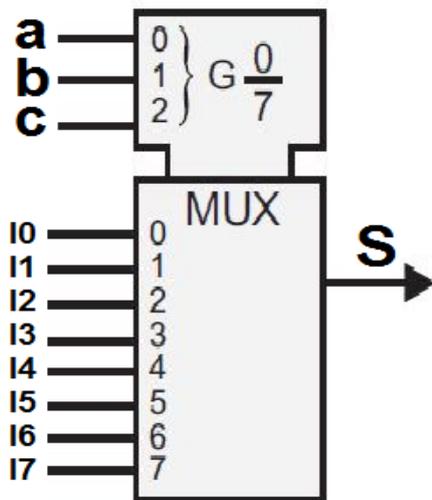


Figure n°1

1. Donner le type de ce multiplexeur :

2. Donner l'équation de la sortie S en fonction de a, b, c, I0, I1, I2, I3, I4, I5, I6 et I7.

.....

.....

.....

.....

.....

.....

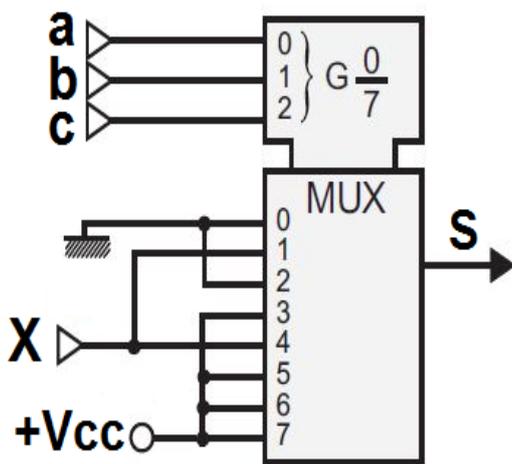


Figure n°2

3. Donner l'équation simplifiée de la sortie S en fonction de a, b, c et X.

4. Déduire l'équation simplifiée de la sortie S si X=0.

5. Déduire l'équation simplifiée de la sortie S si X=1.

.....

.....

.....

.....

.....

.....

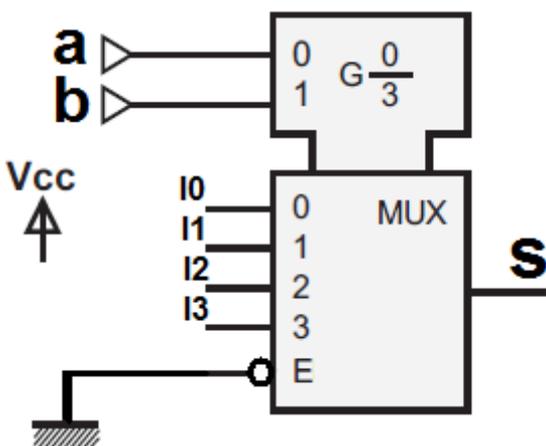


Figure n°3

6. Quel est le rôle de l'entrée E ? :

7. Donner l'équation de la sortie S en fonction de a, b, I0, I1, I2 et I3.

8. Proposer une solution avec un MUX 4 vers 1 (figure 3) pour réaliser une fonction logique XOR

« S = ».

.....

.....

.....

B- Etude du Démultiplexeur :

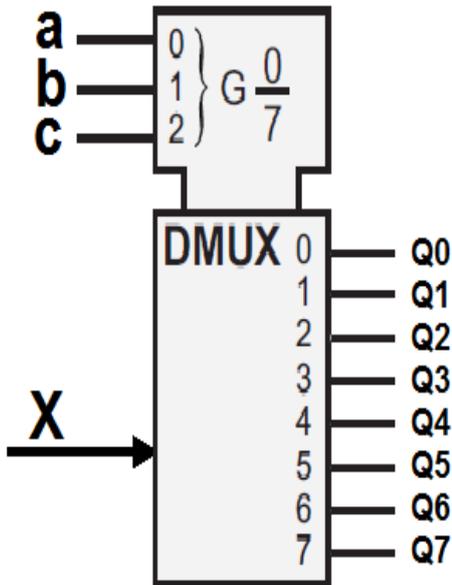


Figure n°4

1. Donner le type de ce démultiplexeur :

.....

2. Donner les équations des sorties Q0, Q1, Q2, Q3, Q4, Q5, Q6 et Q7 en fonction de a, b, c et X.

- ❖ Q0 =
- ❖ Q1 =
- ❖ Q2 =
- ❖ Q3 =
- ❖ Q4 =
- ❖ Q5 =
- ❖ Q6 =
- ❖ Q7 =

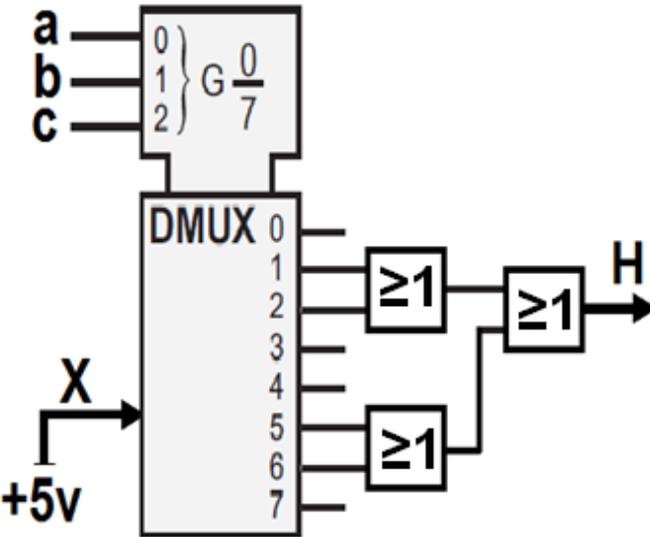


Figure n°5

3. Donner l'équation de la sortie H en fonction de a, b et c.

.....

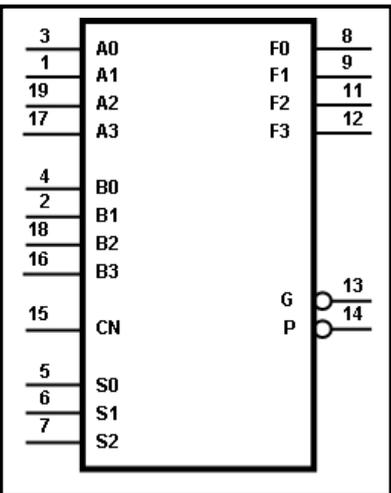
4. Déduire la fonction logique réalisée :

.....

C- Etude du L'Unité Arithmétique et Logique UAL :

soit un circuit électronique assuré par CI.74LS381, ce circuit est une Unité Arithmétique et Logique UAL à 4 bits dont on donne la table de vérité suivante.

S ₂	S ₁	S ₀	Opérations réalisées
0	0	0	F = 0000
0	0	1	F = B - A
0	1	0	F = A - B
0	1	1	F = A + B
1	0	0	F = A OU B
1	0	1	F = A XOR B
1	1	0	F = A ET B
1	1	1	F = 1111



1. Quelles sont les opérations logiques ?

2. Quelles sont les opérations arithmétiques ?

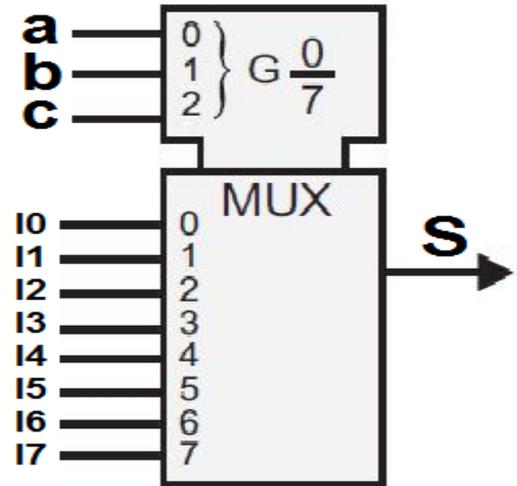
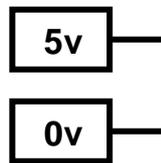
3. Compléter le tableau ci-dessous :

S (S2S1S0)	A (A3A2A1A0)	B (B3B2B1B0)	F (F3F2F1F0)	Opérations réalisées
011	1001	1101
.....	0110	1110	F = A OR B
010	1001	1010
.....	0101	0110	F = A XOR B
111	1001	1011

Exercice n°10 :

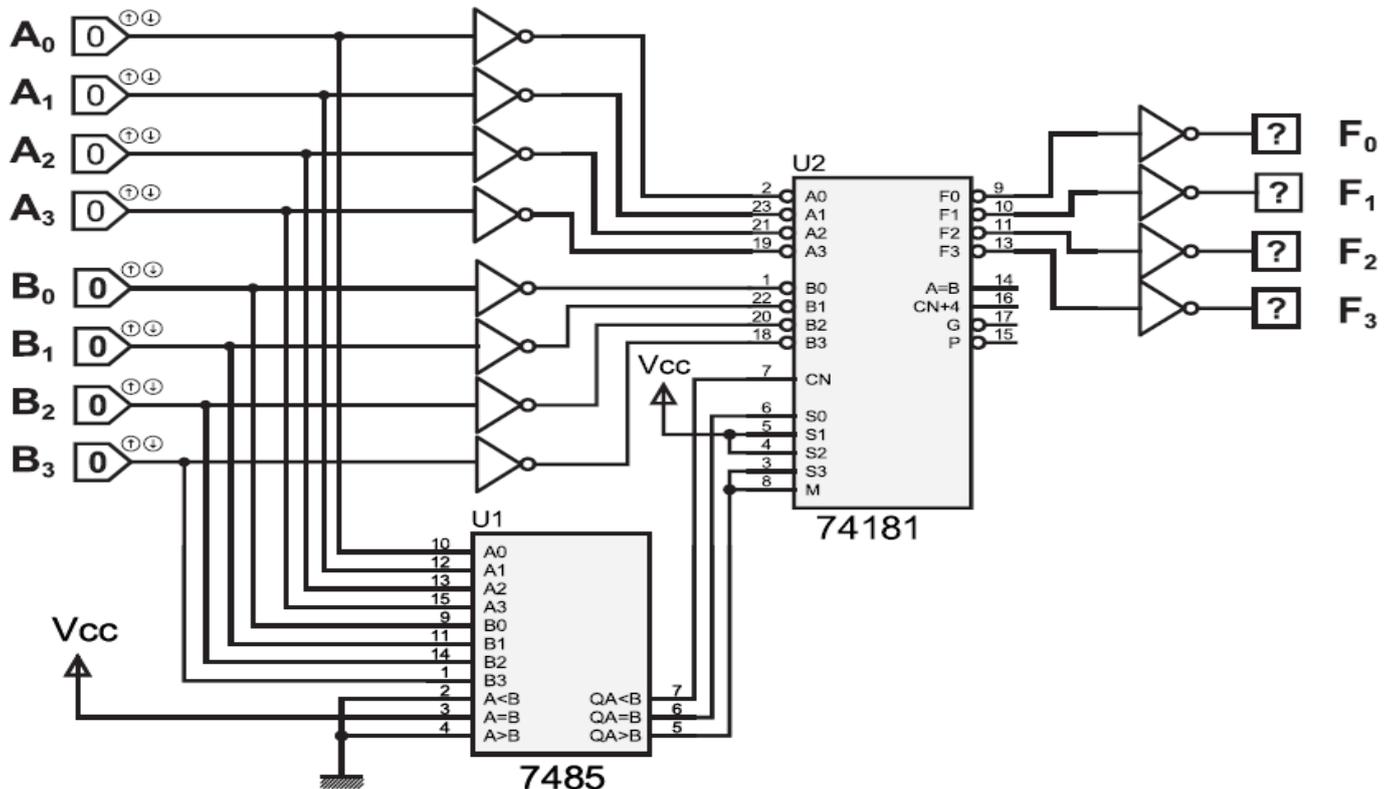
Proposer une solution avec un MUX 8 vers 1 pour réaliser une fonction logique « $S = a.c + b$ ».

a	b	c	S
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



Exercice n°11 :

Soit la carte de commande ci-après intégrée dans un système automatisé est destinée pour faire des opérations logiques et arithmétiques :



1- Justifier la présence des fonctions NON :

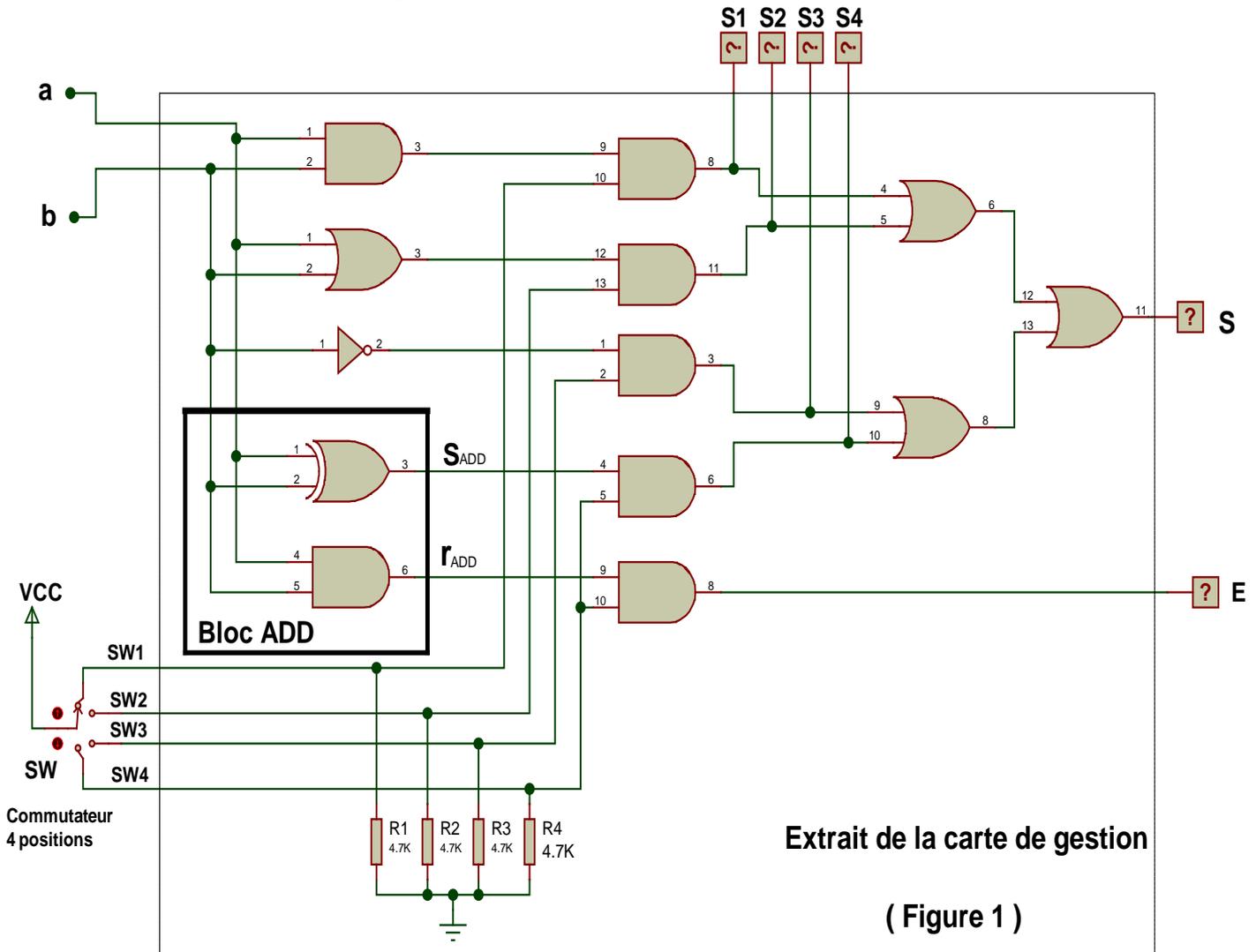
.....

2- Compléter le tableau ci-dessous :

S3S2S1S0	A3A2A1A0	B3B2B1B0	Opérations	Cn	M	F3F2F1F0
.....	1001	1101
.....	1101	1001
.....	1010	1010
.....	0010	1000

Exercice n°12 :

On donne ci-dessous une portion d'une carte de commande.



1. ETUDE DU BLOC ADD :

- ▶ Donner les équations de S_{ADD} et r_{ADD} .
- ▶ Compléter la table de vérité ci-contre.
- ▶ Donner un nom au bloc ADD.

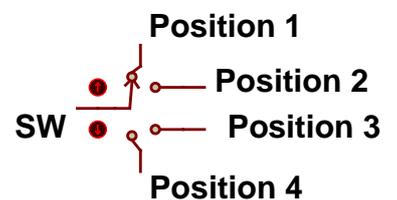
$S_{ADD} = \dots\dots\dots$

$r_{ADD} = \dots\dots\dots$

a	b	S_{ADD}	r_{ADD}
0	0
0	1
1	0
1	1

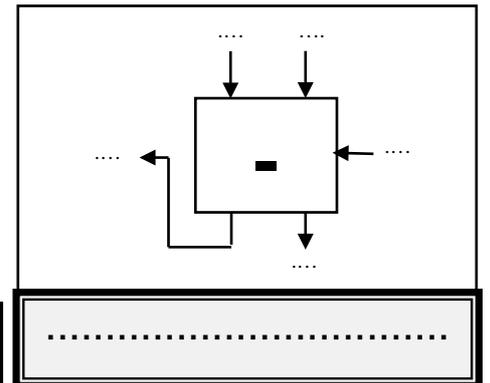
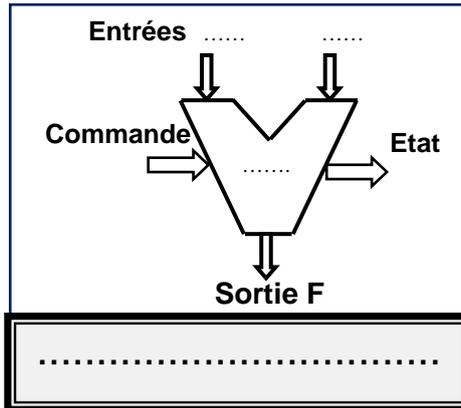
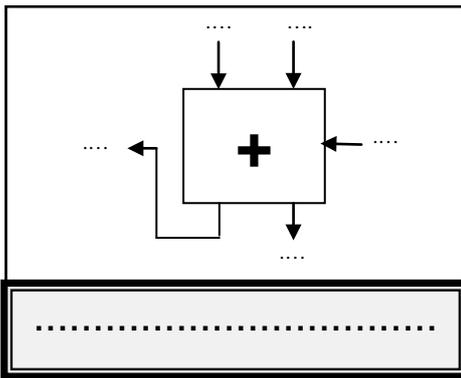
2. ETUDE DE L'EXTRAIT DE LA CARTE DE GESTION :

- ▶ En se référant à la figure 1 et au schéma des positions de SW. Donner les équations de $S1$, $S2$, $S3$, $S4$, S et E conformément au tableau ci-dessous.



POSITIONS	ETATS LOGIQUES				Equations en fonction de a et b					
	SW1	SW2	SW3	SW4	S1	S2	S3	S4	S	E
Position 1	1	0	0
Position 2
Position 3
Position 4

► En se référant au tableau ci-dessus, identifier la fonction globale du montage des figures en cochant le symbole exacte des figures ci-dessous et compléter les indications manquantes.



3. MODIFICATION D'UNE SOLUTION :

On désire remplacer le schéma de la figure 1 par un circuit intégré le 74181 (voir manuel de cours aux pages 40 et 41).

► Compléter le tableau ci-dessous pour que le **C.I 74181** donne les mêmes fonctions que le circuit de la figure 1.

Fonctions gérées par figure 1 : S	Etats logiques de la commande du 74181 (Mode de commande)					
	S ₃	S ₂	S ₁	S ₀	M	C _n
.....	1	1	1	φ
.....
\overline{b}	0	1	0	1	1	φ
.....

► En se référant à la table de fonctionnement de l'unité **UAL 74181** :

* Réaliser la fonction (**F = (A + \overline{B}) plus 1**) en complétant le tableau suivant :

Fonction SOUSTRACTION	S ₃	S ₂	S ₁	S ₀	M	C _n	A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	F ₃ F ₂ F ₁ F ₀
	0101	0011

* Expliquer comment on peut déterminer le **Cp2 de 6** pratiquement en utilisant l'**UAL 74181** ?

.....

.....

.....